

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-095729

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

G09G 3/36  
G02F 1/133

(21)Application number : 09-276526

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 24.09.1997

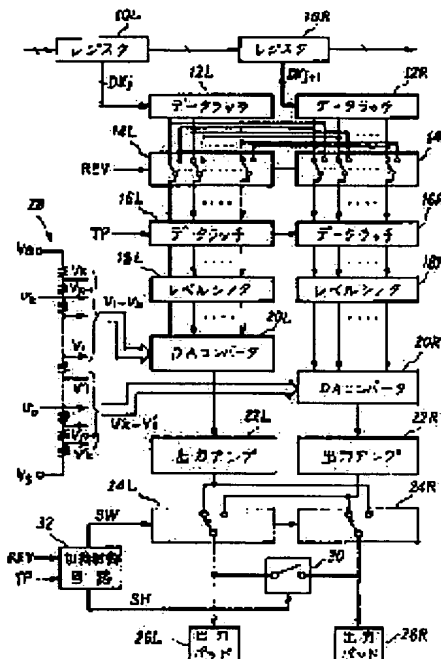
(72)Inventor : TAGUMA MICHIO  
KANO SUSUMU

## (54) SIGNAL LINE DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To make a signal line driving circuit possible to perform dot inversion drive of a common constant drive method by a low power consumption system, in a TFT liquid crystal display.

**SOLUTION:** A drive part equivalent to adjacent two channels (columns) is constituted of a pair of registers 10L, 10R, a pair of first data latch circuits 12L, 12R, a pair of first switch circuits 14L, 14R, a pair of second data latch circuits 16L, 16R, a pair of level shifters 18L, 18R, a pair of DA converters 20L, 20R, a pair of output amplifiers 22L, 22R, a pair of second switch circuits 24L, 24R and a pair of output pads 26L, 26R. Respectively corresponding signal lines (not shown in figure) in a liquid crystal panel are connected to the output pads 26L, 26R. An opening/closing switch 30 is connected between the output pads 26L, 26R. The opening/closing switch 30 is closed temporarily when a polarity of alternation is inverted to short-circuit adjacent signal lines each other.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

P-2272

(19)日本特許庁 (JP) (12) 公開特許公報 (A) (11)特許出願公開番号  
特開平11-95729  
(43)公開日 平成11年(1999)4月9日

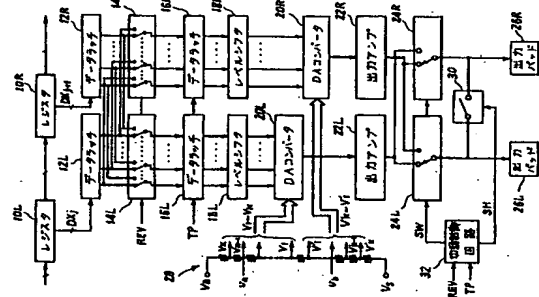
(51)Int.Cl. <sup>7</sup>		F I
G 0 9 G	3/36	G 0 9 G
G 0 2 F	1/133	G 0 2 F
	5 5 0	5 5 0

審査請求	未請求	請求項の数	6	F D (全 14 頁)
------	-----	-------	---	--------------

(21)出願番号	特開平9-276526	(71)出願人	390020248
(22)出願日	平成9年(1997)9月24日		
		日本デキサ・インストルメンツ株式会社	
		東京都港区北青山3丁目6番12号 青山ビル	
(72)発明者	田部 道雄		
	坂玉島崎ケ谷市南3丁目18番36号 日本デキサ・インストルメンツ株式会社内		
(72)発明者	加納 行		
	坂玉島崎ケ谷市南3丁目18番36号 日本デキサ・インストルメンツ株式会社内		
(74)代理人	井理士 佐々木 肇幸		

(54)【発明の名称】 液晶ディスプレイ用信号線駆動回路

(57)【要約】  
【課題】 TFT型の液晶ディスプレイにおいて低消費電力方式で共通一定駆動法のドット反転駆動を行えるようにする。  
【解決手段】 閉回路2つのチャンネル(列)分の駆動部は、一対のレジスタ10L、10R、一対の第1データラッチ回路12L、12R、一対の第1切換回路14L、14R、一対の第2データラッチ回路16L、16R、一対のレベルシフト18L、18R、一対のDAコンバータ20L、20R、一対の出力アンプ22L、22R、一対の第2切換回路24L、24Rおよび一対の出力バッファ26L、26Rから構成される。出力バッファ26L、26Rには液晶パネル内の各対応する信号線(図示せず)が接続される。出力バッファ26L、26R間には開閉スイッチ30が接続される。この開閉スイッチ30は、交流化の極性反転時に一時的に閉じて、閉回路2つの信号線を短絡させる。



(2) 特開平11-095729

配電電極は各対応する薄膜トランジスタを介して各対応する信号線に電気的に接続されるとともに、前記薄膜トランジスタの制御端子が各対応するゲート線に電気的に接続された液晶パネルと、  
前記ゲート線に一定の対向電極電圧を印加する手段と、  
前記ゲート線を順次走査で順番に活性化させるゲート線駆動手段と、  
各々の前記ゲート線が活性化される度に該当する前記面電極に対して所望の表示電圧に対応した電圧レベルを有し、かつ前記対向電極電圧に対して相対的に正の極性または負の極性を有する薄膜電圧を前記信号線を介して印加する信号線駆動手段と、  
前記信号線駆動手段が奇数列の各信号線には正極性の薄膜電圧を供給すると同時に偶数列の各信号線には負極性の薄膜電圧を供給する第1の動作と、前記信号線駆動手段が奇数列の各信号線には負極性の薄膜電圧を供給すると同時に偶数列の各信号線には正極性の薄膜電圧を供給する第2の動作とを所定の周期で交互に繰り返させる切換手段と、  
前記第1の動作と前記第2の動作との間の切換時に所定のタイミングで任意の奇数列および偶数列の信号線同士を一時的に短絡させる短絡手段とを有する液晶表示装置。  
【発明の詳細な説明】  
【0010】  
【発明の属する技術分野】 本発明は、多階層表示を行う液晶ディスプレイの信号線を駆動する駆動回路に関する。  
【0020】  
【従来の技術】 液晶ディスプレイ (Liquid Crystal Display) の代表的なものとして、薄膜トランジスタ (TFT) 型の液晶ディスプレイ (TFT-LCD) がある。  
【0030】 図8に、アクティブマトリクス方式のフルカラーTFT-LCDの構成を模式的に示す。この種のTFT-LCDは、複数のゲート線G1、G2、...と複数の信号線S1、S2、...とをマトリクス状に交差配置し、各交差点の画素に薄膜トランジスタTFTを配置したTFT液晶パネル100と、この液晶パネル100のゲート線Y1、Y2、...を駆動するための並列接続されたゲート線ドライバIC1、G2、...と、液晶パネル100の信号線X1、X2、...を駆動するための並列接続された信号線 (ソース) ドライバIC1、S2、...と、各部の動作を制御するコントローラ102と、表示すべき画像信号に対して所望の信号処理を行う画像信号処理回路104と、フルカラー (多階層表示) を実現するための多階層の電圧を発生する階層電圧発生回路106とから構成されている。  
【0040】 画像信号処理回路104は、各画素の表示の階層を表すデジタルの画像データDXを各信号線ドライバIC1、S2、...に供給する。たとえば64階層の場合、R、G、Bの各画素につき6ビットの画像データD



所定のタイミングで任意の奇数列および偶数列の信号線同士を一時的に短絡させる短絡手段とを有する。

【0270】

【発明の要旨】以下、図1～図7を参照して本発明の要旨を説明する。

【0280】図1は、本発明の一実施例による信号線ドライバの要部の回路構成を示し、より詳細には各隣合う2つのチャネル分の駆動部の構成を示す。この信号線ドライバは、たとえば図8に示したアクティブマトリクス方式のフルカラーTFT-LCDに用いられてよい。なお、図示の場合2つのチャネル分の駆動部は、図8に示す液晶パネル100の場合第1列および第1列の信号線X<sub>j</sub>、X<sub>j+1</sub>を駆動するものとする。

【0290】図1において、各隣合う2つのチャネル分の駆動部は、一対のレジスタ10L、10R、一対の第1データラッチ回路12L、12R、一対の第1切戻回路14L、14R、一対の第2データラッチ回路16L、16R、一対のレベルシフタ18L、18R、一対のD/Aコンバータ20L、20R、一対の出力アンプ22L、22R、一対の第2切戻回路24L、24Rおよび一対の出力バッファ26L、26Rから構成されている。

【0300】左側および右側のレジスタ10L、10Rは、所定の周期たとえば1ライン（水平走査期間）の間で、画像信号処理回路104（図8）からの各対応するチャネルに割り当てられた1画素分の画像データD<sub>Xj</sub>、D<sub>Xj+1</sub>をそれぞれ取り込む。そして、所定のタイミングで両レジスタ10L、10Rよりそれぞれ1画素分の画像データD<sub>Xj</sub>、D<sub>Xj+1</sub>がそれぞれ左側および右側の第1データラッチ回路12L、12Rにラッチされるようになっている。

【0310】左側の第1データラッチ回路12Lの出力端子は、各ビット毎に、左側の第1切戻回路14Lの一方（左側）の入力端子に接続されるとともに、右側の第1切戻回路14Rの一方（右側）の入力端子に接続されている。右側の第1データラッチ回路12Rの出力端子は、各ビット毎に、右側の第1切戻回路14Rの一方（左側）の入力端子に接続されるとともに左側の第1切戻回路14Lの一方（右側）の入力端子に接続されている。

【0320】左側および右側の第1切戻回路14L、14Rは、コンローラ102（図8）からの交流化信号または極性切戻信号R<sub>EV</sub>により、たとえば1ライン周期で（1水平走査期間毎に）、一方（左側）の入力端子と他方（右側）の入力端子とに交互に切り換えられる。左側および右側の第1切戻回路14L、14Rの出力端子は、それぞれ左側および右側の第2データラッチ回路16L、16Rの入力端子に接続されている。

【0330】左側および右側の第2データラッチ回路16L、16Rは、交流化信号R<sub>EV</sub>に同期したコントローラ102からのタイミングで任意の奇数列および偶数列の信号線同士を一時的に短絡させる短絡手段とを有する。

端子に接続されるとともに、右側の第2切戻回路24Rの他方（右側）の入力端子に接続されている。

【0400】右側の出力アンプ22Rは、インピーダンス変換機能を有する演算増幅器の電圧フォロアからなり、負極性電圧の範囲内でソース状態で作動するように構成されている。この右側の出力アンプ22Rの出力端子は、右側の第2切戻回路24Rの一方（左側）の入力端子に接続されるとともに、左側の第2切戻回路24Lの他方（右側）の入力端子に接続されている。

【0410】各々の第2切戻回路24L、24Rは、交流化信号R<sub>EV</sub>とデータ・ラッチ制御信号T<sub>LP</sub>とに基づいて切戻制御回路32より発生される切戻制御信号SWによって切り換わるようになっている。

【0420】左側および右側の第2切戻回路24L、24Rの出力端子は、それぞれ左側および右側の出力バッファ26L、26Rを介して各対応するチャネル（列）の信号線X<sub>j</sub>、X<sub>j+1</sub>（図1では図示せず）に電気的に接続されている。両出力バッファ26L、26Rはいずれも信号線X<sub>j</sub>、X<sub>j+1</sub>の間に開閉スイッチ30が接続されている。

【0430】この開閉スイッチ30は、切戻制御回路32より与えられる開閉制御信号SHによって開閉する。このスイッチ30が閉（導通）状態になると、このスイッチ30および出力バッファ26L、26Rを介して接続する信号線X<sub>j</sub>、X<sub>j+1</sub>同士が電気的に短絡するようになっている。

【0440】次に、この実施例による信号線ドライバの動作を説明する。図2に、完全ドット反転を行う場合の各部の信号の波形（一例）を示す。

【0450】この信号線ドライバを含むTFT-LCDにおいては、データ線ドライバIG<sub>1</sub>、G<sub>2</sub>…により液晶パネル100のゲート線Y<sub>1</sub>、Y<sub>2</sub>…が1フレーム期間内に逐次は線順次走査で1ライン（行）ずつ選択されてアクティブ状態に駆動される。各ゲート線Yが駆動される度に、各信号線ドライバでは、各チャネルの出力バッファ26より当該ライン上の各対応する画素電圧に印加すべき増幅電圧Vが出力される。

【0460】いま、i行のゲート線Y<sub>i</sub>が駆動されると、交流化信号R<sub>EV</sub>の論理値が1で、各第1切戻回路14L、14Rおよび各第2切戻回路24L、24Rがそれぞれ一方（左側）の入力端子に切り換わっているとすると、この第1データラッチ回路12L、12Rより、液晶パネル100内の1行j列および1行（j+1）列にそれぞれ位置する2つの画素の表示電圧を発生する画像データD<sub>Xj</sub>、D<sub>Xj+1</sub>が、第1切戻回路14L、14R、第2データラッチ回路16L、16Rおよびレベルシフタ18L、18Rを介して左側および右側のD/Aコンバータ20L、20Rにそれぞれ入力される。

【0470】これにより、左側のD/Aコンバータ20L

からは、画像データD<sub>Xj</sub>の負表示電圧に対応した電圧レベルを有する正極性の増幅電圧V<sub>j</sub>が出力される。一方、右側のD/Aコンバータ20Rからは、画像データD<sub>Xj+1</sub>の負表示電圧に対応した電圧レベルを有する負極性の増幅電圧V<sub>j+1</sub>が出力される。

【0480】左側のD/Aコンバータ20Lより出力された正極性の増幅電圧V<sub>j</sub>は、左側の出力アンプ22Lおよび第2切戻回路24Lを介して左側の出力バッファ26Lよりj列の信号線X<sub>j</sub>に出力される。一方、右側のD/Aコンバータ20Rより出力された負極性の増幅電圧V<sub>j+1</sub>は、右側の出力アンプ22Rおよび第2切戻回路24Rを介して右側の出力バッファ26Rより（j+1）列の信号線X<sub>j+1</sub>に出力される。

【0490】この際、左側の出力アンプ22Lはj列の信号線X<sub>j</sub>を対向電圧V<sub>DD</sub>に接続する中間レベル付近から正極性の増幅電圧V<sub>j</sub>まで駆動すればよく、右側の出力アンプ22Rは（j+1）列の信号線X<sub>j+1</sub>を中間レベル（V<sub>DD</sub>）付近から負極性の増幅電圧V<sub>j+1</sub>まで駆動すればよい。

【0500】こうして各信号線X<sub>j</sub>、X<sub>j+1</sub>の電位がそれぞれ所定の増幅電圧V<sub>j</sub>、V<sub>j+1</sub>に達した後、所定のタイミングでゲート線ドライバIGによりi行のゲート線Y<sub>i</sub>がHレベルに活性化され、このゲート線Y<sub>i</sub>に接続されているi行の全ての増幅電圧V<sub>j</sub>、V<sub>j+1</sub>に接続される。これにより、j列の信号線X<sub>j</sub>より正極性の増幅電圧V<sub>j</sub>が導電トランジスタT<sub>FTj</sub>、jを介してj行j列の画素電圧P<sub>j,j</sub>に導き込まれ、（j+1）列の信号線X<sub>j+1</sub>より負極性の増幅電圧V<sub>j+1</sub>が導電トランジスタT<sub>FTj+1,j</sub>を介してj行j列の画素電圧P<sub>j,j</sub>に導き込まれる。

【0510】次に、（i+1）行のゲート線Y<sub>i+1</sub>が駆動されるときは、その水平走査期間の開始時に交流化信号R<sub>EV</sub>の論理値が1からHに反転すると同時に、データ・ラッチ制御信号T<sub>LP</sub>がHレベルからHレベルに立ち上がる。

【0520】交流化信号R<sub>EV</sub>の論理値がHになると、第1切戻回路14L、14Rはそれぞれ他方（右側）の入力端子に切り換わる。そして、データ・ラッチ制御信号T<sub>LP</sub>のHレベルの立ち上がりに応じて、左側の第1データラッチ回路12Lよりj列の信号線X<sub>j</sub>に接続した1画素分の画像データD<sub>Xj</sub>が右側の第1切戻回路14Rを介して右側の第2データラッチ回路16Rに転送されると同時に、右側の第1データラッチ回路12Rより（j+1）列の信号線X<sub>j+1</sub>に対応した1画素分の画像データD<sub>Xj+1</sub>が左側の第1切戻回路14Lを介して左側の第2データラッチ回路16Lに転送される。

【0530】一方、上記のようなデータ・ラッチ制御信号T<sub>LP</sub>の立ち上がりと同時に、第2切戻回路24L、24Rが切戻制御回路32からの切戻制御信号SWによ

り遮断状態になる。これにより、両出力アンプ22L、22Rは出力パッド26L、26Rを介して信号線Xj、Xjh、Xjhが互いに短絡される。

[0540] この場合、データ・ラッチ制御信号TPの立ち上がりと同様に交流化信号REVの論理値が反転している。上記のように第2切換回路24L、24Rが遮断状態になっている間に、開閉スイッチ30が切換制御回路32からの開閉制御信号SHにより遮断状態となる。これにより、この遮断状態のスイッチ30および出力パッド26L、26Rを介して接続する信号線Xj、Xjh同士が互いに短絡する。

[0550] 前回の水平走査期間中、j列の信号線Xjは左側のDAコンバータ20Lより正極性の増幅電圧Vを給電され、(j+1)列の信号線Xjhは右側のDAコンバータ20Rより負極性の増幅電圧Vjhを給電されている。したがって、交流化の極性反転時かつ水平走査期間の開始時に両信号線Xj、Xjhがスイッチ30を介して互いに短絡することにより、両信号線Xj、Xjh上の電位は互いに打ち消し合い、それぞれ基準レベル(VCM)付近に平均化される。

[0560] データ・ラッチ制御信号TPがHレベルからLレベルに立ち下がること、左側および右側の第2データラッチ回路16L、16Rより1画素分の画像データDXih、jH、DXih、jが、それぞれ左側および右側のレベルシフト18L、18Rを介して左側および右側のDAコンバータ20L、20Rに入力される。

[0570] これにより、左側のDAコンバータ20Lからは、画像データDXih、jHの表す表示階層に対応した電圧レベルを有する正極性の増幅電圧Vjhが出力される。一方、右側のDAコンバータ20Rからは、画像データDXih、jの表す表示階層に対応した電圧レベルを有する負極性の増幅電圧VjHが出力される。

[0580] 一方、上記のようにデータ・ラッチ制御信号TPがHレベルからLレベルに立ち下がる時、これと同時に切換制御回路32の制御により開閉スイッチ30が閉状態に切り換わり、かつ第2切換回路24L、24Rがそれぞれ他方(右側)の入力端子に切り換わる。

[0590] スイッチ30が閉状態になることで、両信号線Xj、Xjhは電気的に遮断される。また、第2切換回路24L、24Rがそれぞれ他方(右側)の入力端子に切り換わることで、左側の出力アンプ22Lの出力端子は右側の第2切換回路24Rを介して右側の出力パッド26Rに接続され、右側の出力アンプ22Rの出力端子は左側の第2切換回路24Lを介して左側の出力パッド26Lに接続される。

[0600] これにより、左側のDAコンバータ20Lより出力された正極性の増幅電圧Vjhは、左側の出力アンプ22Lおよび右側の第2切換回路24Rを介して右側の出力パッド26Rより(j+1)列の信号線Xjhに出力され、この信号線Xjhに接続されている(j

+1)行の薄膜トランジスタTFTih、jHを介して対応する画素電極Pih、jHに印加される。

[0610] 一方、右側のDAコンバータ20Rより出力された負極性の増幅電圧VjHは、右側の出力アンプ22Rおよび左側の第2切換回路24Lを介して左側の出力パッド26Lよりj列の信号線Xjに出力され、この信号線Xjに接続されている(j+1)行の薄膜トランジスタTFTih、jを介して対応する画素電極Pih、jHに印加される。

[0620] この場合、左側の出力アンプ22Lは(j+1)列の信号線Xjhを中間レベル(VCM)付近から正極性の増幅電圧Vjhまで駆動すればよく、右側の出力アンプ22Rはj列の信号線Xjを中間レベル(VCM)付近から負極性の増幅電圧VjHまで駆動すればよく、

[0630] こうして各信号線Xj、Xjhの電位がそれぞれ所望の増幅電圧Vjh、Vjhに達してから、所定のタイミングでゲート線ドライバDGにより(j+1)行のゲート線YihがHレベルに活性化され、このゲート線Yihに接続されている(i+1)行の全ての薄膜トランジスタTFTih、1、TFTih、2、……がオン状態になる。これによって、j列の信号線Xjより負極性の増幅電圧VjHが薄膜トランジスタTFTih、jを介して(i+1)行j列の画素電極Pih、jに書き込まれ、(j+1)列の信号線Xjhより正極性の増幅電圧Vjhが薄膜トランジスタTFTih、jHを介して(i+1)行(j+1)列の画素電極Pih、jHに書き込まれる。

[0640] なお、i行のゲート線Yiが駆動されるとともに、その水平走査期間の開始時に開閉制御信号SHがHレベルになっている期間中に開閉スイッチ30が導通して両信号線Xj、Xjhが互いに短絡し、上記のような両信号線Xj、Xjh間の電位の打ち消しまたは平均化が行われる。

[0650] 以後、上記した2ライン分の動作が繰り返される。これにより、画素パネル100のY方向において1画素毎に増幅電圧の極性が反転する。また、X方向においても1画素毎に(各隣接する2つの信号線Xj、Xjhの間で)増幅電圧の極性が反転する。

[0660] なお、各切換回路14L、14R、24L、24Rは、交流化信号REVにより1フレーム毎にも切り換わる(すなわち各行のゲート線Yiが駆動される時の各切換回路14L、14R、24L、24Rの位置がフレーム毎に反転する)ように制御される。このようにフレーム周期の反転により、図11に示すようなモンテカルロ法による電圧電圧波形が得られる。

[0670] 上記したように、本実施例による信号線ドライバでは、各隣合う2つのチャネル分の駆動部において、左側のDAコンバータ20Lおよび出力アンプ22Lを正極性の増幅電圧専用で構成するとともに右側の

DAコンバータ20Rおよび出力アンプ22Rを負極性の増幅電圧専用で構成し、両DAコンバータ20L、20Rの前段に設けた第1切換回路14L、14Rと両出力アンプ22L、22Rの後段に設けた第2切換回路24L、24Rとを所定の周波数たとえば1ライン周期かつフレーム周期で切り換えることにより、図11に示すようなモンテカルロ法と図13に示すような完全ドット反転(1画素毎の反転)とを表現している。

[0680] 各出力アンプ22L、22Rは、片方の極性の増幅電圧の範囲で常時シグナル状態もしくはソース状態のいずれかで動作すればよく、特に交流化の極性反転時には中間レベル(VCM)付近から片方の極性の所望の増幅電圧で信号線Xj、Xjhを駆動すればよく、電圧スイング幅は従来のほぼ半分程度で済む。このため、消費電力が大幅に低減される。

[0690] また、駆動能力が小さく済むため、各出力アンプ22L、22Rにおいて、1チャネル分の回路規模が小さくなるとともに、ダイナミックレンジまたはリニアリティやオフセット等の特性も向上する。

[0700] なお、交流化周期を任意に選択することが可能である。図3に、各列(Y方向)の画素に書き込む増幅電圧の極性を2ライン(2水平走査期間)周期で反転させる場合の各列の電圧の波形(一例)を示す。

[0710] 図3に示すように、開閉制御信号SHは、交流化信号REVの論理値が反転する時にデータ・ラッチ制御信号TPと同じタイミングで活性化される。つまり、各信号線Xj上で電圧の極性が反転する時に、開閉スイッチ30が閉じ、各隣合う信号線Xj、Xjh同士を短絡させる。これにより、各信号線Xjの電位は隣の中信号線の逆極性の電位と互いに打ち消し合うようにして中間レベル(VCM)付近に平均化され、その平均レベルから所定の出力アンプ22Lによって逆極性の所望の増幅電圧まで駆動されることになる。

[0720] なお、図2および図3では、説明と理解の便上、各ラインにおいてj列の信号線Xjに与えられる増幅電圧と(j+1)列の信号線Xjhに与えられる増幅電圧とはほぼ等しいものとして図示している。

[0730] 図4に、第2切換回路24L、24Rおよび開閉スイッチ30の回路構成例を示す。この構成例では、各々の第2切換回路24L、24Rが一方のトランジスタTGa、TGBからなる。開閉スイッチ30が1個のトランスファアゲートTGCからなる。切換制御回路32より、各々の第2切換回路24L、24RのトランスファアゲートTGa、TGBには切換制御信号SWa、SWbがそれぞれ与えられ、開閉スイッチ30のトランスファアゲートTGCには開閉制御信号SHが与えられる。

[0740] 切換制御信号[SWa、SWb]の論理値が[L、L]のときは、各々の第2切換回路24L、24Rにおいて左側のトランスファアゲートTGaがオン

で、右側のトランスファアゲートTGBがオフとなる。これにより、左側の出力アンプ22Lの出力端子は左側の第2切換回路24Lの左側トランスファアゲートTGaを介して左側の出力パッド26Lに接続され、右側の出力アンプ22Rの出力端子は右側の第2切換回路24Rの左側トランスファアゲートTGaを介して右側の出力パッド26Rに接続される。

[0750] 反対に、切換制御信号[SWa、SWb]の論理値が[H、H]のときは、各々の第2切換回路24L、24Rにおいて左側のトランスファアゲートTGaがオフで、右側のトランスファアゲートTGBがオンとなる。これにより、左側の出力アンプ22Lの出力端子は右側の第2切換回路24Rの右側トランスファアゲートTGBを介して右側の出力パッド26Rに接続され、右側の出力アンプ22Rの出力端子は左側の第2切換回路24Lの右側トランスファアゲートTGBを介して左側の出力パッド26Lに接続される。

[0760] また、切換制御信号[SWa、SWb]の論理値が[H、L]のときは、各々の第2切換回路24L、24Rにおいて両トランスファアゲートTGa、TGBがどちらもオフとなる。この時、両出力アンプ22L、22Rのいずれも出力パッド26L、26Rから遮断される。

[0770] 定常時、開閉制御信号SHの論理値はLに保たれ、これにより開閉スイッチ28のトランスファアゲートTGCはオフ状態に保持される。しかし、切換制御信号[SWa、SWb]の論理値が[H、L]になってから期間中、つまり第2切換回路24L、24Rが遮断状態になっている期間中に、開閉制御信号SHがHになり、開閉スイッチ30のトランスファアゲートTGCがオン状態になる。そうすると、上記したように、このスイッチ30および出力パッド26L、26Rを介して接続する信号線Xj、Xjh同士が電気的に短絡することになる。

[0780] 図5に、切換制御回路30の回路構成例を示す。この構成例では、交流化信号REVとデータ・ラッチ制御信号TPとに基づいて逆送回路34、排他的OR回路36、ANDゲート38により開閉制御信号SHが生成されるとともに、この開閉制御信号SHと交流化信号REVとに基づいて反転回路42、ORゲート40およびANDゲート44によって切換制御信号SW(SWa、SWb)が生成される。

[0790] すなわち、交流化信号REVの論理値がHからLへ、またはその逆に反転した時に排他的OR回路36の出力端子に論理値Hのバルス信号が得られる。このバルス信号のバルス幅は逆送回路34における逆送時間と相当し、普通はデータ・ラッチ制御信号TPのバルス幅よりも大なる値に選ばれてよい。

[0800] データ・ラッチ制御信号TPは交流化信号REVに同期して与えられる。REVの論理値がLライ

ン周期で反転する場合は、これと同じタイミングでTPの論理値がHになり、ANDゲート38の出力端子にはデータ・ラッチ制御信号TPに対応した開閉制御信号SHが得られる。

【0810】交流化信号REVが論理値HからLに反転するときは、この反転時点からANDゲート44の出力つまり切換制御信号SWbがLになる。一方、REVの反転時にデータ・ラッチ制御信号TPがHレベルに立ち上ることにより、ANDゲート38の出力つまり開閉制御信号SHがHレベルとなり、この開閉制御信号SHがHレベルに活性化されている間はORゲート40の出力つまり切換制御信号SWaがHになる。こうして切換制御信号[SWa, SWb]の論理値が[H, L]となり、各々の第2切換回路24L, 24Rにおいて両トランスファゲートTGa, TGbがどちらもおフとなる。これにより、両出力アンプ22L, 22Rのいずれも出力バッド26L, 26Rから遮断される。

【0820】そして、開閉制御信号SHがHレベルであるため、開閉スイッチ30が閉じて両信号線X1, X2が互いに短絡し、両信号線の間に逆極性の電位同士が互いに打ち消し合い平均化される。

【0830】データ・ラッチ制御信号TPがLレベルに立ち下ると、ANDゲート38の出力つまり開閉制御信号SHもLレベルに立ち下り、開閉スイッチ30が定常時の開状態に戻る。また、開閉制御信号SHがLレベルに立ち下ること、ORゲート40の出力つまり切換制御信号SWbがLになる。こうして、切換制御信号[SWa, SWb]が[L, L]となり、各々の第2切換回路24L, 24Rにおいて左側のトランスファゲートTGaがおオンで、右側のトランスファゲートTGbがおフとなる。

【0840】交流化信号REVが論理値LからHに反転するときも、その反転時に上記と同様に第2切換回路24L, 24Rが一時的に遮断してその開閉スイッチ30が導通して両信号線X1, X2が互いに短絡し、その直後に各々の第2切換回路24L, 24Rにおいて左側のトランスファゲートTGaがおフで、右側のトランスファゲートTGbがおオンとなる。

【0850】図6に、本発明の別の実施例による信号線ドライバの構成例を示す。この信号線ドライバでは、全30を接続し、交流化の極性反転時には全ての開閉スイッチ30を一緒に閉状態にして、全ての信号線X1, X2, ……を互いに短絡させるように構成されている。この場合には、全ての信号線X1, X2, ……の間で正極性の電位と負極性の電位とが互いに打ち消し合って平均化され、各信号線X1, X2, ……の電位が中間レベルVCM付近に収束する。

【0860】さらに、この信号線ドライバでは、一端の出力バッド(OUTn)を開閉スイッチ46を介して対向電

極電圧VCOMまたはこれに近い電圧を供給する電源電圧端子に接続している。この開閉スイッチ46は、全ての開閉スイッチ30が一斉に閉状態になっている期間中に、好ましくはこの期間の後で切換制御回路32からの制御信号SCによって閉じる。これによって、対向電極電圧VCOMまたはこれに近い電圧が閉状態のスイッチ46および30, 30, ……を介して全ての信号線X1, X2, ……に供給される。この結果、各信号線X1, X2, ……の電位が高い精度で中間レベルVCOM付近にリセットされる。

【0870】図7に、他の実施例による信号線ドライバの要部の回路構成例を示す。この信号線ドライバでは、各チャネルの開閉部をバラレリに独立させている。したがって、図1および図6の構成例におけるような切換回路14, 24は設けられていない。ただし、各チャネルのDAコンバータは、前記電圧発生回路28より正極性の全階層電圧V1～V64および負極性の全階層電圧V64'～V1'を受け取り、その中から1つの階層電圧を選択して出力するように動作する。また、各チャネルの出力アンプ22は、シンクおよびソースの高効率能を開え、正極性の電圧範囲と負極性の電圧範囲とで交互に動作する。

【0880】図7の構成例では隣合う一対のチャネル間に開閉スイッチ30を接続しているが、図6と同様に全チャネル間に開閉スイッチ30を設けてもよい。

【0890】なお、図1、図6および図7においては、20L, 20R, 20をそれぞれDAコンバータと表記しているが、これらは実質的にはデコーダ回路であり、デジタルデータをアナログ電圧に変換するという意味で、DAコンバータとしている。

【0900】

【発明の効果】以上説明したように、本発明の液晶ディスプレイ用信号線駆動回路によれば、コモン一定駆動法のドット反転駆動において交流化の極性反転時に隣合う信号線同士を一時的に短絡させてそれぞれの電位を互いに打ち消させて中間レベル付近に平均化し、この平均化された電位から各信号線を所望の階層電圧まで駆動するようにしたので、駆動部の負担を軽減し、消費電力を大幅に低減させることができる。

【図面の簡単な説明】

【図1】本発明の一実施例による信号線ドライバの要部の回路構成を示すブロック図である。

【図2】実施例において完全ドット反転を行う場合の各部の信号の波形(一例)を示すタイミング図である。

【図3】実施例においてY方向に2ライン駆きのドット反転を行う場合の各部の信号の波形(一例)を示すタイミング図である。

【図4】実施例における第2切換回路および開閉スイッチの回路構成例を示す回路図である。

【図5】実施例における切換制御回路の回路構成例を示

す回路図である。

【図6】別の実施例による信号線ドライバの回路構成を示すブロック図である。

【図7】他の実施例による信号線ドライバの要部の回路構成を示すブロック図である。

【図8】アクティブマトリクス方式のフルカラーTFT-LCDの構成を模式的に示すブロック図である。

【図9】TFT-LCDの液晶パネルの典型的な構成を示す部分断面図である。

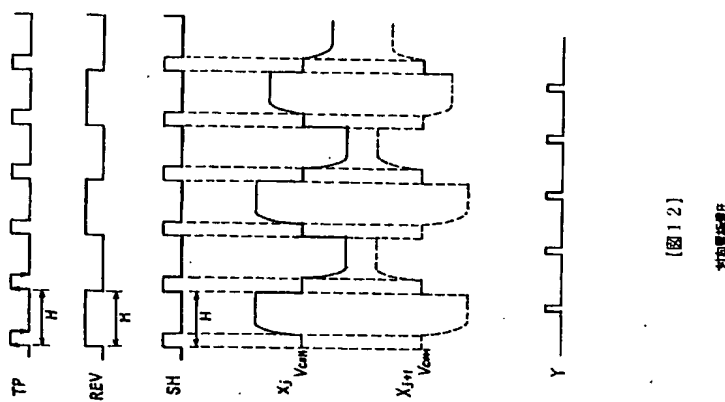
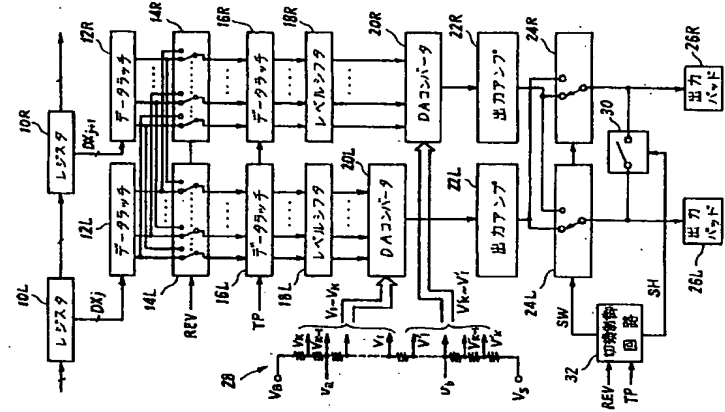
【図10】TFT-LCDの液晶パネル内の回路構成を示す回路図である。

【図11】コモン一定駆動法による面素電極電圧および対向電極電圧の電圧波形を示す図である。

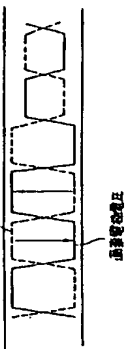
【図12】コモン反転駆動法による面素電極電圧および

【図1】

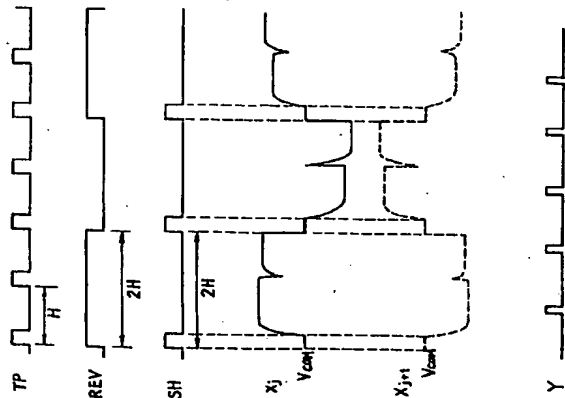
【図2】



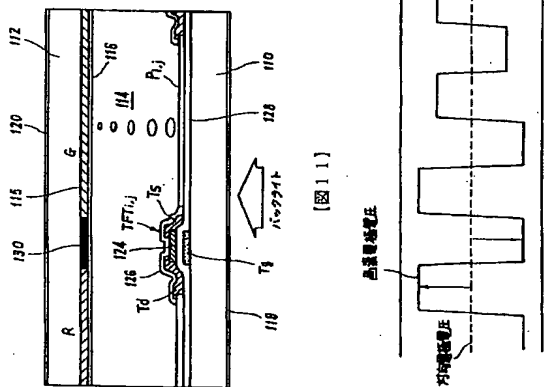
【図12】



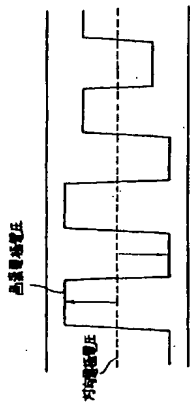
【図3】



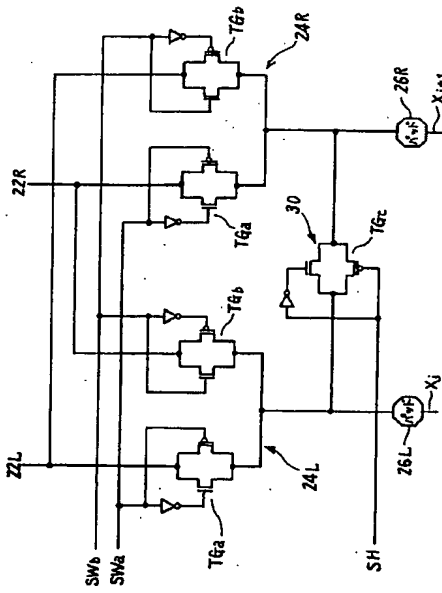
【図9】



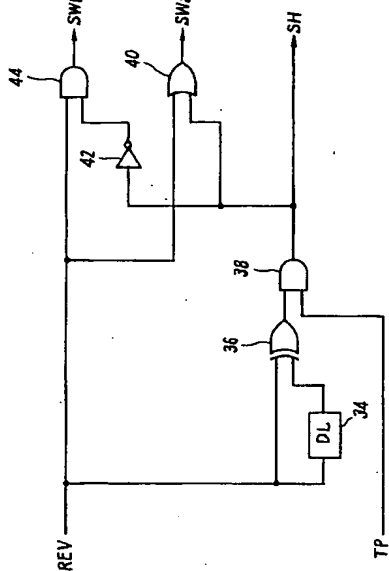
【図11】



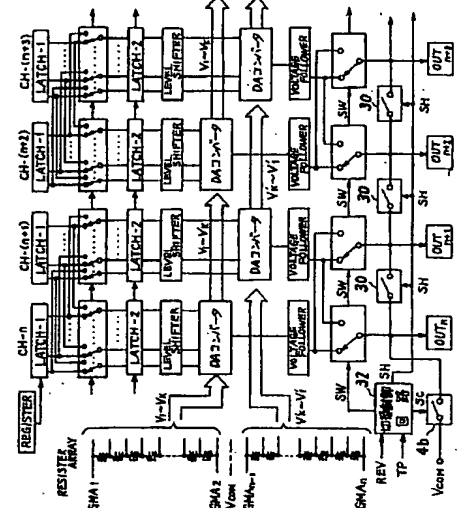
【図4】



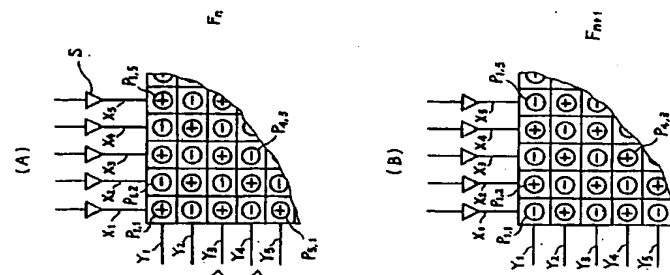
【図5】



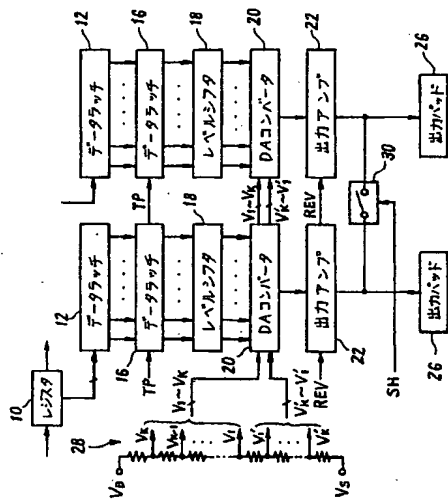
【図6】



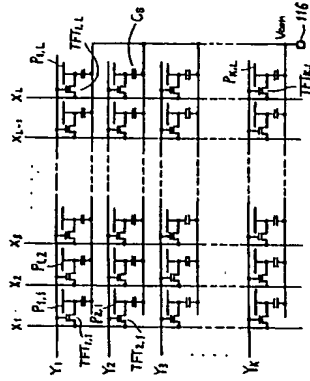
【図13】



【図7】



【図10】



【図8】

